



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2003년 제 0071633 호
Application Number 10-2003-0071633

출원 년 월 일 : 2003년 10월 15일
Date of Application OCT 15, 2003

출원인 : 엘지이노텍 주식회사
Applicant(s) LG INNOTECH CO., LTD.

2004년 10월 25일

특허청
COMMISSIONER



【서지사항】

【제명】	특허출원서	
【출원인】	특허	
【주소】	특허청장	
【수신번호】	0001	
【출원일자】	2003.10.15	
【제특허분류】	H01S	
【원인의 명칭】	실리콘 반도체 발광소자 및 그 제조방법	
【원인의 영문명칭】	Nitride semiconductor LED and fabrication method thereof	
【원인인】		
【원인인】	엘시아노텍 주식회사	
【출원인 고드】	1-1998-000285-5	
【대리인】		
【선험】	허용록	
【대리인 고드】	9-1998-000616-9	
【모든원인등록번호】	2002-038994-0	
【원인】		
【선험의 국문표기】	이석현	
【선험의 영문표기】	LEE,Suk Hun	
【주민등록번호】	690427-1951815	
【우편번호】	506-302	
【주소】	경주광역시 경산구 별계동 라인7사이버타운 705동 502호	
【국적】	KR	
【신사장구】	청구	
【자】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원신사 및 청구입니다. 대리인 허용록 (인)	
【수료】		
【기본출원료】	20	면 29.000 원
【기선출원료】	12	면 12.000 원
【우선권주장료】	0	건 0 원
【신사장구료】	37	원 1,293.000 원
【합계】	1,334.000 원	

1. 유익시 위세지(도면)_18

【표지】

191)

본 발명에 따른 상하용 반도체 발광조끼는, 기판과; 상기 기판 위에 형성된 반
송과; 상기 반송과 함께 형성된 인류의 도핑된 In-doped GaN층과, 상기 In-doped
N층 위에 형성된 $In_xGe_{1-x}N/In_yGe_{1-y}N$ 조각자 구조층과; 상기 $In_xGe_{1-x}N/In_yGe_{1-y}N$
기자 구조층 위에 형성된 n형의 제 1 전극층과; 상기 제 1 전극층 위에 형성된 제
 SiN_x 클리스나층과; 상기 제 1 SiN_x 클리스나층 위에 형성된 제 1 $In_xGe_{1-x}N$ 층과;
기자 제 1 $In_xGe_{1-x}N$ 층 위에 형성된 제 2 SiN_x 클리스나층과; 상기 제 2 SiN_x 클리스
나층 위에 형성된, 빛을 방출하는 활성층과; 상기 활성층 위에 형성된 p-GaN층; 및
기 p-GaN층 위에 형성된 n형의 제 2 전극층; 을 포함하는 점에 그 특징이 있다.

【표도】

도 1

【발명】

【명의 명칭】

장하용 반도체 발광소자 및 그 제조방법(Nitride semiconductor LED and
fabrication method thereof)

【명의 간단한 설명】

도 1은 본 발명에 따른 장하용 반도체 발광소자의 제 1 실시 예의 적층 구조를
나낸 도면.

도 2는 본 발명에 따른 장하용 반도체 발광소자의 제 2 실시 예의 적층 구조를
나낸 도면.

도 3은 본 발명에 따른 장하용 반도체 발광소자의 전류 특성을 나타낸 도면.

【명의 상세한 설명】

【명의 목적】

【명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 장하용 반도체에 관한 것으로서, 더 상세하게는 질화용 반도체 발광
소자의 망상력 및 신뢰성을 향상시킬 수 있는 장하용 반도체 발광소자 및 그 제조방
법에 관한 것이다.

일반적으로 GaN계 질화용 반도체는 그 응용 분야에 있어서 청색/녹색 LED의
광자 및 MESFET, HEMT 등의 고속 스위칭, 고출력 소자인 전자소자에 응용되고 있다.
이 청색/녹색 LED 소자는 이미 양산화가 진행된 상태이며 전세계적인 매출은 지수
수적으로 증가되고 있는 상황이다.

이와 같은 GaN 게 장화상 반도체 발광소자는 주로 사파이어 기판 또는 SiC 기판에서 성장된다. 그리고, 저온의 성장 온도에서 사파이어 기판 또는 SiC 기판 위에 $\text{Ga}_1\text{-}\text{N}_x$ 의 나급장 마이를 미비층(buffer layer)으로 성장시키고, 이후 고온에서GaN의 미비층 위에 도핑되지 않은 GaN 층, 질리콘(Si)이 도핑된 n-GaN 층 또는 산기조의 혼입된 구조로 성장시켜 n-GaN 층을 제 1 전극층으로 하며, 상부에 미그네슘(s)이 도핑된 p-GaN 층을 제 2 전극층으로 하여 장화상 반도체 발광소자가 제조된다. 또한, 발광층(나중일자우형구조 형성층)은 상기 n-GaN 층의 제 1 전극층과 p-GaN의 제 2 전극층 사이에 산드위치 구조로 형성된다.

그런데, 이와 같은 구조를 구비하는 장화상 반도체 발광소자는 기판과 미비층 면에서 발생되는 경성강함이 약 $10^9/\text{㎟}$ 정도로 매우 높은 값을 가지며, 그에 따른 화물 반도체 발광소자의 전기적 특성 특히, 억비아어스 조건 하에서 누상전류가 증하게 되므로써, 소자의 신뢰성에 치명적인 영향을 미치는 문제점이 있다.

또한, 이러한 미비층과 기판 사이의 계면에서 발생되는 경성강함은 형성층의 경상에 대해서도 자아시기게 됨으로써, 장화상 반도체 발광소자의 발광효율을 떨어뜨리는 문제점이 있다.

【본 발명이 이루고자 하는 기술적 과제】

본 발명은, 정화용 반도체 밍밍소자를 이루는 활성층의 경성성을 향상시키고, 솔이 및 산화성을 양성시킬 수 있는 정화용 반도체 밍밍소자 및 그 제조방법을 제한에 그 목적이 있다.

【방법의 구조 및 작용】

상기의 목적을 달성하기 위하여 본 발명에 따른 정화용 반도체 밍밍소자는, 기과: 상기 기판 위에 형성된 바피층과; 상기 바피층 위에 형성된 인듐이 도핑된 In -doped GaN층과; 상기 In -doped GaN층 위에 형성된 $In_xGe_{1-x}N/In_yGe_{1-y}N$ 초격자 구층과; 상기 $In_xGe_{1-x}N/In_yGe_{1-y}N$ 초격자 구조층 위에 형성된 n형의 제 1 전극층과; 기 세 1 전극층 위에 형성된 제 1 SiN_x 플리스티층과; 상기 제 1 SiN_x 플리스티층에 형성된 제 1 In_xGe_{1-x} 층과; 상기 제 1 In_xGe_{1-x} 층 위에 형성된 제 2 SiN_x 플리스티층과; 상기 제 2 SiN_x 플리스티층 위에 형성된, 빛을 방출하는 활성층과; 상기 상층 위에 형성된 p-GaN층; 및 상기 p-GaN층 위에 형성된 n형의 제 2 전극층: 을 име하는 점에 그 특징이 있다.

또한, 상기의 목적을 달성하기 위하여 본 발명에 따른 정화용 반도체 밍밍소자 다른 실시 예는, 기과: 상기 기판 위에 형성된 바피층과; 상기 바피층 위에 형된 인듐이 도핑된 In -doped GaN층과; 상기 In -doped GaN층 위에 형성된 In_xGe_{1-x} $In_yGe_{1-y}N$ 초격자 구조층과; 상기 $In_xGe_{1-x}N/In_yGe_{1-y}N$ 초격자 구조층 위에 형성된 n의 제 1 전극층과; 상기 제 1 전극층 위에 형성된 제 1 SiN_x 플리스티층과; 상기 1 SiN_x 플리스티층 위에 형성된 제 1 In_xGe_{1-x} 층과; 상기 제 1 In_xGe_{1-x} 층 위에 형성된 제 2 SiN_x

클리스티층과: 상기 제 2 SiN_x 클리스티층 위에 형성된 $\text{In}_x\text{Ga}_{1-x}\text{N}$

층층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$ 상면층 구조의 제 1 양자우물층과: 상기 제 1 양자우물층 위에 형

된 제 2 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과: 상기 제 2 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 형성된, 적어도 하나 이상의

$\sqrt{\text{Ga}_{1-x}\text{N}}$ 우물층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$ 상면층 구조로 이루어진 제 2 양자우물층과: 상기 제 2

양자우물층 위에 형성된 p-GaN층; 및 상기 p-GaN층 위에 형성된 n형의 제 2 전극층;

포함하는 점에 그 특징이 있다.

또한, 상기의 목적을 달성하기 위하여 본 발명에 따른 장치를 반도체 발광소자 제조방법은, 기판 위에 미퍼층을 형성하는 단계와: 상기 미퍼층 위에 양동이 도핑

제 1 In-doped GaN층을 형성하는 단계와: 상기 제 1 In-doped GaN층 위에

$\text{xGa}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 조각자 구조층을 형성하는 단계와: 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 조

각 구조층 위에 n형의 제 1 전극층을 형성하는 단계와: 상기 제 1 전극층 위에 제

SiN_x 클리스티층을 형성하는 단계와: 상기 제 1 SiN_x 클리스티층 위에 제 1

xGa_{1-x}N 층을 형성하는 단계와: 상기 제 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 제 2 SiN_x 클리스티층을

형성하는 단계와: 상기 제 2 SiN_x 클리스티층 위에 및을 방출하는 활성층을 형성하

는 단계와: 상기 활성층 위에 p-GaN층을 형성하는 단계; 및 상기 p-GaN층 위에 n형의

제 2 전극층을 형성하는 단계; 등 포함하는 점에 그 특징이 있다.

또한, 상기의 목적을 달성하기 위하여 본 발명에 따른 장치를 반도체 발광소자 제조방법의 다른 실시 예는, 기판 위에 미퍼층을 형성하는 단계와: 상기 미퍼층 위에

양동이 도핑된 In-doped GaN층을 형성하는 단계와: 상기 In-doped GaN층 위에

$\text{xGa}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 조각자 구조층을 형성하는 단계와: 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 조

각 구조층 위에 n형의 제 1 전극층을 형성하는 단계와: 상기 제 1 전극층 위에 제

SiN_x 클리스나층을 형성하는 단계와: 상기 세 1 SiN_x 클리스나층 위에 세 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층을 형성하는 단계와, 상기 세 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 세 2 SiN_x 클리스나층을 형성하는 단계와: 상기 세 2 SiN_x 클리스나층 위에, $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$ 상층 구조의 세 1 양자우물층을 형성하는 단계와, 상기 세 1 양자우물층 위에 세 2 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층을 형성하는 단계와: 상기 세 2 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에, 적어도 하나 이상의 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$ 상층 구조로 이루어진 세 2 양자우물층을 형성하는 단계와: 상기 세 2 양자우물층 위에 p-GaN층을 형성하는 단계; 및 상기 p-GaN층 위에 n-의 세 2 전극층을 형성하는 단계; 를 포함하는 절차 11 특장이 있다.

이와 같은 본 발명에 의하면, 접합을 반도체 발광소자를 이루는 활성층의 경계를 형성시키고, 방출이 및 신뢰성을 향상시킬 수 있는 장점이 있다.

이하, 접두된 도면을 참조하여 본 발명에 따른 상세 예를 상세히 설명한다.

본 발명은 접합을 반도체 발광소자 및 그 제조방법에 관한 것으로서, 기존의 세 전극층으로 사용되는 n-GaN층과 세 2 전극층으로 사용되는 p-GaN층, 그리고 그 사이에 빛을 방출하는 활성층으로 된 p-/n-접합 발광소자의 성장기술과는 달리 실리콘 인들이 동시에 도입된 n-GaN층을 세 1 전극층으로, n-In_xGa_{1-x}N/In_yGa_{1-y}N(Si-doped) 각자층을 세 2 전극층으로 사용하는 n-/p-/n- 디냅팅 접합을 갖는 접합을 반도체 발광소자 및 그 제조방법을 제시하고자 한다.

도 1은 본 발명에 따른 접합을 반도체 발광소자의 세 1 신사 예의 적층 구조를 나타낸 도면이다.

본 맵에 따른 상이한 반도체 맵은 다음과 같다. 가판

02) 위에 미파층 (104)이 형성되어 있다. 여기서, 상기 미파층 (104)은 AlInN 구조.

GaN/GaN_xAl_yN/AlN 구조, In_xGaN_{1-x,y}N/In_xGaN_{1-x}N/GaN의 상 구조 중에서 선택되어 형성될 수 있다.

그리고, 상기 미파층 (104) 위에는 인듐이 도핑된 In-doped GaN층 (106)이 형성되어 있으며, 상기 In-doped GaN층 (106) 위에는 In_xGaN_{1-x,y}N/In_yGaN_{1-x}N 초격자 구조층 (108)이 형성되어 있다. 또한, 상기 In_xGaN_{1-x,y}N/In_yGaN_{1-x}N 초격자 구조층 (108) 위에는

들이 도핑된 In-doped GaN층 (110)이 형성되어 있으며, 그 위에는 In_xGaN_{1-x,y}N/In_yGaN_{1-x}N 초격자 구조층 (112)이 더 형성되어 있다. 여기서, 인듐이 도핑된 n-doped GaN층 및 상기 In_xGaN_{1-x,y}N/In_yGaN_{1-x}N 초격자 구조층은 복수로 반복되어 형성되도록 할 수도 있다.

상기 In_xGaN_{1-x,y}N/In_yGaN_{1-x}N 초격자 구조층 (112) 위에는 n형의 제 1 전극층이 구비되며, 본 맵에서는 상기 제 1 전극층으로 산리온과 인듐이 동시에 도핑된 Si-In-doped GaN층 (114)을 형성하였다.

그리고, 상기 Si-In co-doped GaN층 (114) 위에 제 1 SiN_x 플라스틱층 (116)이 형성되며, 상기 제 1 SiN_x 플라스틱층 (116) 위에는 인듐 함량이 적게 도핑된 제 1 In_xN_{1-x}N층 (118)이 형성되고, 상기 제 1 In_xN_{1-x}N층 (118) 위에는 제 2 SiN_x 플라스틱층 (20)이 다시 형성되도록 하였다. 이때, 상기 제 1 SiN_x 플라스틱층 (116)과 제 2 SiN_x 플라스틱층 (120)은 원자 척도 (atomic scale)의 두께로 형성하였다.

상기 제 2 SiN_x 플리스나층 (120) 위에는 빛을 방출하는 활성층을 형성하였다.

방법에서는, $\text{In}_x\text{Ga}_{1-x}\text{N}$ 우상층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$ 삼면층으로 형성되는 단일양자우상구조

는 나중양자우상구조로 활성층을 형성하도록 하였으며, 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 우상층과

$\text{In}_x\text{Ga}_{1-x}\text{N}$ 삼면층 사이에는 SiN_x 플리스나층을 가가 형성하였다.

수본 방법에 따른 활성층은, 도 1에 나타낸 바와 같이, $\text{In}_x\text{Ga}_{1-x}\text{N}$ 우상층/ SiN_x

플리스나층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$ 삼면층 (122) (124) (126)으로 구성되는 하드의 양자우상구조로

형성될 수 있다. 그리고, 그 위로 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 우상층/ SiN_x 플리스나층/ $\text{In}_x\text{Ga}_{1-x}\text{N}$ 삼면

(120) (130) (132)이 나중으로 형성되는 나중양자우상구조로 형성될 수도 있다.

또한, 상기의 같은 구조로 형성되는 활성층 상부에는 p-GaN층 (136)이 형성되며,

기 p-GaN층 (136) 위에는 n형의 제 2 전극층이 형성된다. 본 방법에서는 제 2 전극

으로서 실리콘의 도핑된 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초각자 구조 (super lattice

structure)의 층으로 형성하였다. 또한, 상기 활성층과 p-GaN층 (136) 사이에는 SiN_x

리스나층 (134)을 더 형성하였다. 이때, 상기 SiN_x 플리스티층 (134)은 원자 척도

(atomic scale)의 두께로 형성되도록 하였다.

이에 따라 본 방법에 의하면, 실리콘과 인듐이 동시에 도핑된 Si-In co-doped GaN

(114)을 제 1 전극층으로, n-In_xGa_{1-x}N/In_yGa_{1-y}N (Si-doped) 초각자층 (136)을 제 2

극층으로 구비하는 n-/p-/n- 디냅팅 접합을 갖는 진화형 반도체 발광소자를 형성할

게 된다. 여기서, 상기 제 1 전극층 및 제 2 전극층에는 주후 진행되는 공정에

각각 전극 (미도시)이 형성되고, 이를 통하여 전입이 인기되게 된다.

증거 부인하여 설명하면, 본 발명에서는 삼이상 반도체 발광소자의 형성여부 확장을 확장시키기 위해서, 활성층을 확장시키기 전에 인듐 함량이 낮은 low-mole $In_{Ga_{1-x}N}$ 층 (110)의 상층 전후에 경계지 원자 척도 (atomic scale)의 SiN_x 플라스마층 16) (120)을 형성시킨다 ($SiN_x/low\text{-mole } In_xGa_{1-x}N/SiN_x$). 또한 본 발명에서는 활성층 형성함에 있어지도, 다시 $In_xGa_{1-x}N$ 우상층 (122) (128)과 $In_xGa_{1-x}N$ 상층 26) (132) 사이에 동일한 방식으로 SiN_x 플라스마층 (124) (130)이 삽입된 구조로 하였다 ($In_xGa_{1-x}N/SiN_x/In_xGa_{1-x}N$).

또한, 본 발명에서는 마그네슘 (Mg) 원소가 도량된 p-GaN층 (136)으로부터, 활성층으로 마그네슘의 내부 확장을 억제하기 위해서 마지막 $In_xGa_{1-x}N$ 상층 (132)을 형성시킨 후, 원자 척도 (atomic scale)의 SiN_x 플라스마층 (134)을 형성시킨다.

이에 따라, 솔레의 제 2 전극층으로 사용되는 p-GaN층의 낮은 마그네슘 도량 러에 의해 발생하는 높은 접촉저항과, 그에 수반되는 전극 주위의 전류밀집 (current crowding)에 의해 발생하는 신뢰성의 문제를 n-In_xGa_{1-x}N/p-Ga_{1-y}N 소재자에 제 2 전극층으로 사용함으로써 충분히 개선할 수 있다. 즉, n⁺-층에 의한 전류 미침을 효과적으로 하여 균일한 동작전압과 그에 따른 발광소자의 수명을 효과적으로 증대시키 신뢰성을 개선할 수 있다. 특히 이러한 n-/p-/n- 터닝링 접합 발광소자는 많은 양이 발생하는 내면적 고온의 발광소자에 효과적으로 대응할 수 있는 특점이 있다.

본 발명에서는, 내부양자효율 (internal quantum efficiency)을 확장시키기 위하여 활성층의 스트레인 (strain)을 제어하도록 인듐 함량이 낮은

▪ sole $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (110) 을 형성시켰다. 또한, 인듐 빙동 (fluctuation)에 의한 편

이 및 역방향 누설전류 (reverse leakage current)을 개선시키기 위해서 상기

▪ sole $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (110)의 성장 전후에, 원자 계도 (atomic scale)의 두께로 SiN_x

리스너층 (116) (120) 을 형성하였다. 이와 같은 과정을 통하여, SiN_x 클리스너층

16) / low-mole $\text{In}_x\text{Ga}_{1-x}\text{N}$ (110) / SiN_x 클리스너층 (120)으로 구성되는 스트레인 케이층

형성되었다.

그리고, SiN_x 클리스너층 / low-mole $\text{In}_x\text{Ga}_{1-x}\text{N}$ / SiN_x 클리스너층 (116) (118) (120) 으

구성되는 스트레인 케이층을 성장시킨 이후, 힘에는 파장 대역의 빛을 방출하는

상층은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 우물층 / SiN_x 클리스너층 / $\text{In}_y\text{Ga}_{1-y}\text{N}$ 장벽층을 하나의 단위 구조로

이 단입입자우물층 (single quantum well) 또는 다중입자우물층 (multi quantum

well) 을 형성하였다.

여기서, 빛을 방출하는 우물층과 장벽층 각각의 인듐 함량은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 < x <$

35) / SiN_x / $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 < x < 0.1$) 으로 구성된다. 그리고, 양자우물구조로 구성된 활성

의 성장단계에 있어, N_2 , $\text{H}_2\text{+N}_2$ 개리아 기스 및 NH_3 분위기에서 TMGa , TMIn , SiH_4 ,

Ar 소스를 유입시키기 성장시킨다.

또한, 상기 Low-mole $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (110)에 도핑되는 인듐의 함량은 $0 < x < 0.1$ 의 값

가지도록 할 수 있다. 그리고, 상기 Low-mole $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (110)의 두께는 10~300

이며 우물층과 장벽층의 두께는 각각 10~30Å 및 50~250Å 정도로 구성되어 성장온

는 730~770°C 정도이다. 이때, 상기 Low-mole $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 (110)은 그 표면 형성이

선형상 (spiral mode)으로 성장되도록 제어하며, 그 성장된 나선형상은

성층의 표면까지 침투될 수 있도록 제어한다. 그리고, 무용층과 상비층사이에 삽입 SiN_x 클리스너층(124)(130)은 원자 크기(atomic scale)로 제어되며 SiH_4 , Si_2H_6 및 사건과 SiH_3 유입을 가지고 그 특성을 제어할 수 있다.

상기 SiN_x 클리스너층/Low mole $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층/ SiN_x 클리스너층/무용층/ SiN_x 클리스너층/ SiN_x 클리스너층 구조로 이루어지는 활성층을 성장시간 후, 성장온도 증가시키고 마그네슘 원소가 도량된 p-GaN층(136)을 H_2 , N_2 , $\text{H}_2\text{+H}_2\text{N}$ 및 SiH_3 가스 분위에서 성장시킨다.

이때, 상기 p-GaN층(136)은 마그네슘이 도량되어 형성되며, 그 형성과정에서 마그네슘의 도량함량은 순차적으로 증가시키고, 도량함량이 순차적으로 증가되는 복수층 구조 형성시간다. 예로서, 상기 p-GaN층(136)은 마그네슘 도량량이 순차적으로 증가되 3층 구조로 구성되며 두께는 500-2500Å이며 이때 성장온도는 900-1020°C 범위에 형성된다.

상기 p-GaN층(136)을 성장시간 후, n- $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층(138)을 성장시키고 인듐 함량이 낮은 $\text{In}_y\text{Ga}_{1-y}\text{N}$ (0<x<0.1)층만 과대하게 실리콘 원소를 도량하기 접촉지향을 낮추어 전체 두께 제어를 통한 디냅팅 효과를 갖게 한다. 이에 따라, 상기 n- $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ (Si) 초격자 구조층(138)은 제 2 전극층으로 사용되 전류 퍼짐을 효과적으로 수행한다. 여기서, 제 2 전극층으로 사용되는 상기 초격자층의 두께는 각각 2-50Å으로 교대로 구성되며 최대 200Å 미만으로 구성하여 평출과 및 신뢰성이 우수한 성능을 갖는 디냅팅 접합 구조의 n-/p-/n- 접합 고위도/고 외상 방정소자를 형성할 수 있게 된다.

한편, 도 2는 본 발명에 따른 상이용 반도체 발광소자의 제 2 상시 예의 층조를 나타낸 도면이다. 여기서는, 우측층과 상측층으로 구성된 한 쌍의 양자우물층 아래 인듐 도핑 양단이 적은 $In_xGa_{1-x}N$ 층을 수기로 형성하여, 효과적으로 양방향피선입을 억제시켜 발광소자의 전위상을 억제시킬 수 있도록 하였다.

본 발명에 따른 상이용 반도체 발광소자의 제 2 상시 예는, 도 2에 나타낸 바와 같이, 기판(202) 위에 미비층(204)이 형성되어 있다. 여기서, 상기 미비층(204)은

InN 구조, $InGaN/GaN$ 조각자 구조, $In_xGa_{1-x}N/GaN$ 씰층구조,

$xIn_yGa_{1-x,y}N/In_xGa_{1-x}N/GaN$ 의 씰층구조 중에서 선택되어 형성될 수 있다.

그리고, 상기 미비층(204) 위에는 인듐이 도핑된 In -doped GaN 층(206)이 형성되어 있으며, 상기 In -doped GaN 층(206) 위에는 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 조각자 구조층(208)이 형성되어 있다. 또한, 상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 조각자 구조층(208) 위에는 들판이 도핑된 In -doped GaN 층(210)이 형성되어 있으며, 그 위에는 $xGa_{1-x}N/In_yGa_{1-y}N$ 조각자 구조층(212)이 더 형성되어 있다. 여기서, 인듐이 도핑된 n -doped GaN 층 및 상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 조각자 구조층은 복수로 반복되어 더 형성되도록 할 수도 있다.

상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 조각자 구조층(212) 위에는 n 형의 제 1 전극층이 구비되며, 본 발명에서는 상기 제 1 전극층으로 살리핀과 인듐이 동시에 도핑된 $Si-In$ -doped GaN 층(214)을 형성하였다.

그리고, 상기 $Si-In$ co-doped GaN 층(214) 위에 제 1 SiN_x 플라스터층(216)이 형성되며, 상기 제 1 SiN_x 플라스터층(216) 위에는 인듐 함량이 적게 도핑된 Low-mole

$In_{x}Ga_{1-x}N$ 층 (210)이 형성되었을 때, 상기 $In_xGa_{1-x}N$ 층 (210) 위에는 세 2 SiN_x 를
스나층 (220)이 다시 형성되도록 하였다. 이때, 상기 $In_xGa_{1-x}N$ 층 (210)은
표면 양성이 나선형상 (spiral mode)으로 형성되도록 제어하였으며, 상기 세 1
 SiN_x 층리스나층 (216)과 세 2 SiN_x 층리스나층 (220)은 원자 척도 (atomic scale)의 수
로 형성하였다.

상기 세 2 SiN_x 층리스나층 (220) 위에는 $In_xGa_{1-x}N$ 우물층/ $In_xGa_{1-x}N$ 장미층
22) (224) 구조의 세 1 양자우물층이 형성되어 있다. 또한, 상기 세 1 양자우물층
에는 인듐 도핑 함량이 적은 $In_xGa_{1-x}N$ 층 (226)이 형성되어 있고, 그 위에는 적어도
나 이상의 $In_xGa_{1-x}N$ 우물층/ $In_xGa_{1-x}N$ 장미층 (228) (230) 구조로 이루어진 다중 양
우물층이 형성된다.

여기서, 인듐 도핑 함량이 적은 상기 $In_xGa_{1-x}N$ 층 (226)은 300~2000Å 정도의 두
로 형성되며, 상기 $In_xGa_{1-x}N$ 층 (226) 위에 형성되는 단입양자우물층 또는 다중양자
우물층의 스트레인 (strain) 정도를 제어하여 평출액과 특히, 역방향우성전류를 효과
으로 억제할 수 있는 빙빙소자를 제조할 수 있게 된다. 이때, 인듐 도핑 함량이 적
상기 $In_xGa_{1-x}N$ 층 (226)에 도핑되는 인듐의 함량은 장미층에 도핑되는 인듐 함량에
비하여 디 작은 값을 가지도록 한다.

또한, 상기와 같은 구조로 형성되는 형상층 상부에는 p-GaN층 (232)이 형성되며,
가 p-GaN층 (232) 위에는 n형의 세 2 전극층이 형성된다. 본 발명에서는 세 2 전극
으로서 실리콘의 도핑된 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조 (super lattice
structure)의 층으로 형성하였다.

이에 따라 본 발명에 의하면, 실리콘의 인들이 동시에 도핑된 Si-In co-doped GaN

(214)를 제 1 전극층으로, n-In_xGa_{1-x}N/In_yGa_{1-y}N(Si-doped) 조각사층 (234)를 제 2

전극으로 구비하는 n/p/n- 대칭의 접합을 갖는 실리콘 반도체 발광조직을 양성할

게 된다. 여기서, 상기 제 1 전극층 및 제 2 전극층에는 수후 진행되는 공정에

각각 전극(미도시)이 형성되고, 이를 통하여 전입이 일어나게 된다.

그리고 이와 같은 구조를 갖는 발광조직은, 도 3에 나타낸 바와 같이, 양방향의

전입을 효과적으로 양성시키는 발광조직의 신뢰성을 증대시킬 수 있게 된다. 도 3은

발명에 따른 실리콘 반도체 발광조직의 전류 특성을 나타낸 도면이다.

본 발명에 따른 실리콘 반도체 발광조직의 제 2 상시 예의 제조방법은 도 4을

조하여 실명된 바와 유사하므로 여기서는 그 상세한 설명은 생략하기로 한다.

【발명의 요지】

이상의 설명에서의 같이 본 발명에 따른 실리콘 반도체 발광조직 및 그 제조방

법에 의하면, 장회용 반도체 발광조직을 이루는 발광층의 결정성을 양성시키고, 링층

및 신뢰성을 양성시킬 수 있는 장점이 있다.

କବିତା ପରିଚୟ

4731 11

기 봄 가 :

설기 기반 위에 얻을 수 있는 비의증과:

상기 미비출 위에 염성된 인듐이 도핑된 In-doped GaN층이:

상기 In-doped GaN층 위에 형성된 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 조기자 구조층에:

상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층 위에 형성된 6형의 제 1 전극층과;

상기 세 1 신금속 위에 얹성된 세 1 SiN_x 쿠리스니층과

최기 세 1 SiN_x 물의 스나이퍼 위에 형성된 세 1 In_xGa_{1-x}N을 가

상기 세 1. $\text{In}_2\text{Ge}_3\text{N}_6$ 위에 형성된 세 2. Si_3N_4 층과;

하기. 제 2 SIN 클라우드 위에 위치된 비용 비출하는 방식

Abt. 214.8. Blatt 214.8. - S. 18. - 10.

Table 2. 2012-2013. 원자력 협회. 원자력 2013년도 2. 분기 실적. 원자력 기관운영 실적

181 쪽 110 도록 반복하기

4-21 21

기판과 :

상기 기관 위에 형성된 베피초과:

상기 베피층 위에 형성된 인듐이 도핑된 In-doped GaN층과

상기 In-doped GaN층 위에 형성된 In-Ga_{1-x}N/In-Ga_{1-x}N 초경자 구조층과

상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 조각자 구조층 위에 형성된 n형의 제 1 전극층과;

상기 제 1 전극층 위에 형성된 제 1 SiN_x 클리스나층과;

상기 제 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 형성된 제 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과;

상기 제 2 SiN_x 클리스나층 위에 형성된 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우성층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$ 상비층;

조의 제 1 양자우물층과;

상기 제 1 양자우물층 위에 형성된 제 2 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층과;

상기 제 2 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 형성된, 적어도 하나 이상의 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우성층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$ 상비층 구조로 이루어진 제 2 양자우물층과;

상기 제 2 양자우물층 위에 형성된 p-GaN층; 및

상기 p-GaN층 위에 형성된 n형의 제 2 전극층;을 포함하는 것을 특징으로 하는

회동 반도체 발광소자.

9-구성 3)

제 1형 또는 제 2형에 있어서,

상기 베피층은, AlInN 구조, InGaN/GaN 조각자 구조, $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ 격층구조,

$\text{xIn}_y\text{Ga}_{1-y}\text{N}/\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ 의 격층구조 중에서 선택되어 형성된 것을 특징으로 하는

회동 반도체 발광소자.

■구형 4)

제 1형 또는 제 2형에 있어서.

상기 제 1 산화층은 살리반과 일동이 동시에 도입된 GaN층인 것을 특징으로 하는
화학 반도체 발광소자.

■구형 5)

제 1형 또는 제 2형에 있어서.

상기 제 1 SiN_x 클리스나층과 제 2 SiN_x 클리스나층은 원자 척도 (atomic scale)
두께로 형성된 것을 특징으로 하는 상화형 반도체 발광소자.

■구형 6)

제 1형 또는 제 2형에 있어서.

상기 제 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상 (spiral mode)으로 성장된 것
특징으로 하는 상화형 반도체 발광소자.

■구형 7)

제 1형에 있어서.

상기 제 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형상이 나선형상 (spiral mode)으로 성장되며,
나선형상은 상기 형상층의 표면까지 연결되어 성장된 것을 특징으로 하는 전화형
도체 발광소자.

■구형 9)

제 1형에 있어서,

상기 합성층은, $In_xGa_{1-x}N$ 우물층/ $In_xGa_{1-x}N$ 삼박층으로 형성되는 단입입자우물
층 또는 다중입자우물구조로 구성된 것을 특징으로 하는 정회용 반도체 빙방소자.

■구형 10)

제 8형에 있어서,

상기 $In_xGa_{1-x}N$ 우물층/ $In_xGa_{1-x}N$ 삼박층에 도핑되는 인류 핵원과 상기 제 1
 $xGa_{1-x}N$ 층에 도핑되는 인류 핵원은, 각각 $0 < x < 0.1$, $0 < y < 0.35$, $0 < z <$
1의 값을 갖는 것을 특징으로 하는 정회용 반도체 빙방소자.

■구형 10)

제 8형에 있어서,

상기 합성층은 이루는 $In_yGa_{1-y}N$ 우물층과 $In_xGa_{1-x}N$ 삼박층 사이에, SiN_x 클리
디층이 다 형성된 것을 특징으로 하는 정회용 반도체 빙방소자.

■구형 11)

제 1형에 있어서,

상기 합성층과 p-GaN층 사이에, SiN_x 플리스티층이 다 형성된 것을 특징으로 하
정회용 반도체 빙방소자.

■구형 12)

제 10기 또는 제 11기기에 있어서.

상기 SiS_x 클리스나층은 원자 척도 (atomic scale)의 두께로 형성된 것을 특징으로.

하는 정화물 반도체 발광소자.

■구형 13)

제 1기 또는 제 2기기에 있어서.

상기 제 2 전극층은 $In_xGe_{1-x}N/In_yGe_{1-y}N$ 초기자 구조 (super lattice structure)

형성된 것을 특징으로 하는 정화물 반도체 발광소자.

■구형 14)

제 13기기에 있어서.

상기 초기자 구조를 이루는 $In_xGe_{1-x}N/In_yGe_{1-y}N$ 층에는 질리콘이 도핑된 것을 특

으로 하는 정화물 반도체 발광소자.

■구형 15)

제 13기기에 있어서.

상기 초기자 구조를 이루는 $In_xGe_{1-x}N/In_yGe_{1-y}N$ 층은 각각 2-50Å의 두께로 교대

구성되며, 전체 200Å 미만의 두께로 형성된 것을 특징으로 하는 정화물 반도체

발광소자.

■구형 16)

제 1기 또는 제 2기기에 있어서.

상기 기판 위에 형성된 비피층과 상기 제 1 전극층 사이에는.

상기 바피층 위에 형성된 인듐이 도핑된 In-doped GaN층 및 상기 인듐 도핑된 In-doped GaN층 위에 형성된 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 혼가자 구조층이 복수로 번갈아이어 층을 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【구성 17】

제 1상 또는 제 2상에 있어서,

상기 p-GaN층은 마그네슘이 도핑되어 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【구성 18】

제 17상에 있어서,

상기 p-GaN층은 마그네슘이 도핑되어 형성되어, 그 형성과정에서 마그네슘의 도핑을 순차적으로 증가시켜, 도핑량이 순차적으로 증가되는 복수층 구조로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【구성 19】

제 2상에 있어서,

상기 제 2 $In_xGa_{1-x}N$ 층은 $0 < x < 0.1$ 의 인듐 함량을 포함하며, 300-2000Å의 폭으로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【구성 20】

기판 위에 바피층을 형성하는 단계와;

상기 바피층 위에 인듐이 도핑된 제 1 In-doped GaN층을 형성하는 단계와;

상기 세 1 In-doped GaN층 위에 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 조각자 구조층을 형성하는 단계와:

상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 조각자 구조층 위에 n형의 세 1 전극층을 형성하는 단계와:

상기 세 1 전극층 위에 세 1 SiN_x 플라스틱층을 형성하는 단계와:

상기 세 1 SiN_x 플라스틱층 위에 세 1 $In_xGa_{1-x}N$ 층을 형성하는 단계와:

상기 세 1 $In_xGa_{1-x}N$ 층 위에 세 2 SiN_x 플라스틱층을 형성하는 단계와:

상기 세 2 SiN_x 플라스틱층 위에 및을 방출하는 활성층을 형성하는 단계와:

상기 활성층 위에 p-GaN층을 형성하는 단계: 및

상기 p-GaN층 위에 n형의 세 2 전극층을 형성하는 단계: 을 포함하는 것을 특징
로 하는 정화를 반도체 방발소자 제조방법.

장구형 21)

기판 위에 미비층을 형성하는 단계와:

상기 미비층 위에 인듐이 도핑된 In-doped GaN층을 형성하는 단계와:

상기 In-doped GaN층 위에 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 조각자 구조층을 형성하는 단계

상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 조각자 구조층 위에 n형의 세 1 전극층을 형성하는

단계와:

상기 세 1 전극층 위에 세 1 SiN_x 플라스틱층을 형성하는 단계와:

상기 세 1 SiN_x 층리스티층 위에 세 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층을 형성하는 단계의:

상기 세 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에 세 2 SiN_x 층리스티층을 형성하는 단계의:

상기 세 2 SiN_x 층리스티층 위에, $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우성층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장면층 구조의

1 양자우물층을 형성하는 단계의:

상기 세 1 양자우물층 위에 세 2 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층을 형성하는 단계의:

상기 세 2 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층 위에, 적어도 하나 이상의 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우성층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$

층 구조로 이루어진 세 2 양자우물층을 형성하는 단계의:

상기 세 2 양자우물층 위에 p-GaN층을 형성하는 단계: 및

상기 p-GaN층 위에 n형의 세 2 전극층을 형성하는 단계: 를 포함하는 것을 특징

로 하는 정회동 반도체 발광소자 제조방법.

【구형 22】

제 20양 또는 제 21양에 있어서,

상기 세 1 SiN_x 층리스티층과 세 2 SiN_x 층리스티층은 원자 척도 (atomic scale)

두께로 형성되는 것을 특징으로 하는 정회동 반도체 발광소자 제조방법.

【구형 23】

제 20양 또는 제 21양에 있어서,

상기 세 1 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층은 그 표면 형성이 나선형상 (spiral mode)으로 성장되는

을 특징으로 하는 정회동 반도체 발광소자 제조방법.

■구인 24)

제 20항에 있어서.

상기 형성층은, $In_xGa_{1-x}N$ 우상층/ $In_xGa_{1-x}N$ 침여층으로 구성되는 단입임자우상조 또는 다중임자우상구조로 형성되는 것을 특징으로 하는 질화물 반도체 발광소자 조망법.

■구인 25)

제 24항에 있어서.

상기 형성층은 이루는 $In_xGa_{1-x}N$ 우상층과 $In_xGa_{1-x}N$ 침여층 사이에, SiN_x 클리니층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 질화물 반도체 발광소자 조망법.

■구인 26)

제 20항에 있어서.

상기 형성층과 p-GaN층 사이에, SiN_x 클리니층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 질화물 반도체 발광소자 세조망법.

■구인 27)

제 20항 또는 제 21항에 있어서.

상기 기판 위에 형성된 비피층과 상기 제 1 전극층 사이에.

상기 비피층 위에 형성된 인듐이 도핑된 In-doped GaN층 및 상기 인듐 도핑된 -doped GaN층 위에 형성된 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 소각자 구조층이 복수로 반복되어

후 형성되는 단계를 다 구비하는 것을 특징으로 하는 질화물 반도체 발광소자 제조법.

【구성 29】

제 20장 또는 제 21장에 있어서,

상기 p-GaN층은 마그네슘이 도핑되어 형성되어, 그 형성과정에서 마그네슘의 도입을 순차적으로 증가시키, 도핑량이 순차적으로 증가되는 복수층 구조로 형성되는 것을 특징으로 하는 질화물 반도체 발광소자 제조방법.

【구성 30】

기판과:

상기 기판 위에 형성된 n-GaN층과;

상기 n-GaN층 위에 형성된 제 1 SiN_x 클리스너층과;

상기 제 1 SiN_x 클리스너층 위에 형성된 제 1 In_xGa_{1-x}N층과;

상기 제 1 In_xGa_{1-x}N층 위에 형성된 제 2 SiN_x 클리스너층과;

상기 제 2 SiN_x 클리스너층 위에 형성된, 빛을 방출하는 형성층; 및

상기 형성층 위에 형성된 p-GaN층을 포함하는 것을 특징으로 하는 질화물 반도체 발광소자.

【구성 30】

기판과:

상기 기판 위에 형성된 n-GaN층과;

상기 n-GaN층 위에 형성된 세 1 SiNx 층리스나층과;

상기 세 1 SiNx 층리스나층 위에 형성된 세 1 In_xGa_{1-x}N층과;

상기 세 1 In_xGa_{1-x}N층 위에 형성된 세 2 SiNx 층리스나층과;

상기 세 2 SiNx 층리스나층 위에 형성된 In_yGa_{1-y}N 우상층/In_xGa_{1-x}N 상비층

조의 세 1 양자우상층과;

상기 세 1 양자우상층 위에 형성된 세 2 In_xGa_{1-x}N층과;

상기 세 2 In_xGa_{1-x}N층 위에 형성된 적어도 하나 이상의 In_yGa_{1-y}N 우상층/In_xGa_{1-x}N 상비층 구조로 이루어진 세 2 양자우상층; 및

상기 세 2 양자우상층 위에 형성된 p-GaN층; 을 포함하는 것을 특징으로 하는

이상 반도체 발광소자.

【구성 31】

제 20항 또는 제 30항에 있어서,

상기 p-GaN층 위에 n-GaN층이 더 형성된 것을 특징으로 하는 정화용 반도체 발광소자.

【구성 32】

제 31항에 있어서,

상기 n-GaN층은 In_xGa_{1-x}N/In_yGa_{1-y}N 조각자 구조(super lattice structure)로 형성된 것을 특징으로 하는 정화용 반도체 발광소자.

■구형 33]

제 32항에 있어서,

상기 초기자 구조를 이루는 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 층에는 질리콘이 도입된 것을 목적으로 하는 정회동 반도체 빙광소자.

■구형 34]

제 20항 또는 제 30항에 있어서,

상기 n-GaN층은,

인듐이 도입된 In-doped GaN층과; 상기 In-doped GaN층 위에 형성된 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초기자 구조층; 및 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초기자 구조층 위에 형성된 질리콘과 인듐이 동시에 도입된 GaN층; 을 구비하는 것을 특징으로 하는 정회동 반도체 빙광소자.

■구형 35]

제 20항에 있어서,

상기 형성층은, $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층/ $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층으로 형성되는 단입입자우물조 또는 다중입자우물구조로 구성된 것을 특징으로 하는 정회동 반도체 빙광소자.

■구형 36]

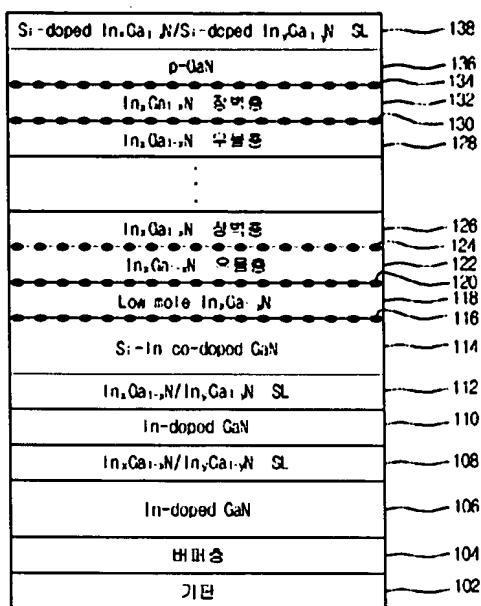
제 35항에 있어서,

상기 형성층을 이루는 $\text{In}_y\text{Ga}_{1-y}\text{N}$ 우물층과 $\text{In}_z\text{Ga}_{1-z}\text{N}$ 장벽층 사이에, SiN_x 플라티층이 더 형성된 것을 특징으로 하는 정회동 반도체 빙광소자.

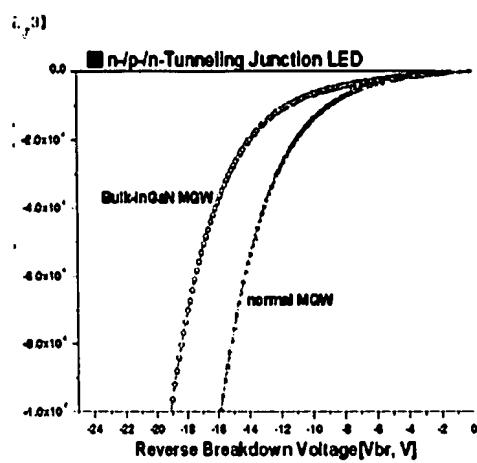
4장 37]

제 20장에 있어서,

상기 합성층과 p-GaN층 사이에, SiN_x 플라스틱층이 더 형성된 것을 특징으로 하
장이용 반도체 박막조자.



S-doped In _x Ga _{1-x} N/S-doped In _x Ga _{1-x} N SL	234
p-GaN	232
In _x Ga _{1-x} N 장벽층	230
In _x Ga _{1-x} N 우물층	228
In _x Ga _{1-x} N	226
In _x Ga _{1-x} N 장벽층	224
In _x Ga _{1-x} N 우물층	222
Low mole In _x Ga _{1-x} N	220 218 216
S-In co-doped GaN	214
In _x Ga _{1-x} N/In _x Ga _{1-x} N SL	212
In-doped GaN	210
In _x Ga _{1-x} N/In _x Ga _{1-x} N SL	208
In-doped GaN	206
비교층	204
기판	202



Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/KR04/002606

International filing date: 13 October 2004 (13.10.2004)

Document type: Certified copy of priority document

Document details: Country/Office: KR
Number: 10-2003-0071633
Filing date: 15 October 2003 (15.10.2003)

Date of receipt at the International Bureau: 21 October 2004 (21.10.2004)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse